

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-093144
 (43)Date of publication of application : 29.03.2002

(51)Int.CI. G11C 11/14
 G11C 11/15
 H01L 27/10
 H01L 27/105
 H01L 43/08

(21)Application number : 2001-197558

(71)Applicant : INFINEON TECHNOLOGIES AG

(22)Date of filing : 28.06.2001

(72)Inventor : BOEHM THOMAS
 GOGL DIETMAR
 MUELLER GERHARD
 LOEER THOMAS

(30)Priority

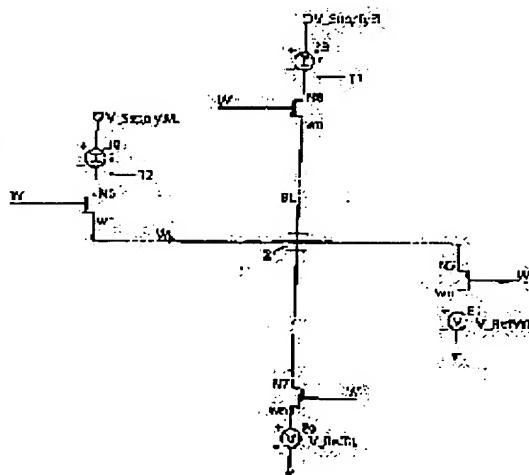
Priority number : 2000 10032272 Priority date : 03.07.2000 Priority country : DE

(54) CURRENT DRIVE CIRCUIT FOR MRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a current driver arrangement capable of supplying a large current at a low voltage when the area needs to be small.

SOLUTION: In a current driver arrangement described in the above, this problem can be solved by configuring a driver of an n-type field effect transistor and a current source connected in series therewith. Concretely, a current driver arrangement for an MRAM is provided comprising a memory cell field having a plurality of memory cells (Z) at the crossing position of a word line (WL) and a bit line (BL), and drivers (T1, T2) supplied to each end of the above word line (WL) and the above bit line (BL), and allocated to the above word line (WL) and the above bit line (BL).



LEGAL STATUS

[Date of request for examination] 28.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

[rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-93144

(P2002-93144A)

(43)公開日 平成14年3月29日 (2002.3.29)

(51)Int.Cl.⁷

識別記号

F I

テ-マ-コ-ト⁷ (参考)

G 11 C 11/14

G 11 C 11/14

Z 5 F 0 8 3

11/15

11/15

H 01 L 27/10

4 8 1

H 01 L 27/10

4 8 1

27/105

43/08

Z

43/08

27/10

4 4 7

審査請求・有 請求項の数3 O L (全 5 頁)

(21)出願番号 特願2001-197558(P2001-197558)

(71)出願人 501055020

インフィネオン テクノロジーズ アクチ
エンゲゼルシャフト
ドイツ連邦共和国, デー-81669 ミュン
ヘン, ザンクト-マルティン-シュトラ
セ 53

(22)出願日 平成13年6月28日 (2001.6.28)

(72)発明者 トーマス ベーム

ドイツ国 85604 ツォルネディング,
ヘルツォーク-ハインリッヒ-ヴェーク
5

(31)優先権主張番号 10032272.7

(74)代理人 100078282

(32)優先日 平成12年7月3日 (2000.7.3)

弁理士 山本 秀策

(33)優先権主張国 ドイツ (DE)

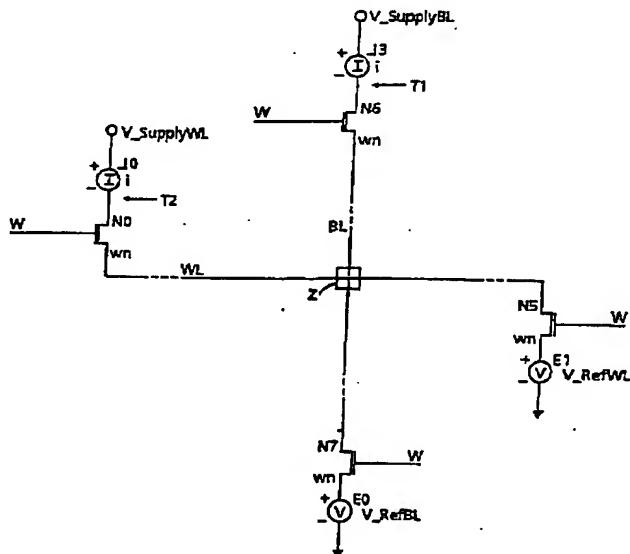
最終頁に続く

(54)【発明の名称】 MRAMのための電流ドライバ回路

(57)【要約】

【課題】本発明の課題は、面積が狭い必要がある場合に、低電圧で大電流を供給可能な、電流ドライバ配置物を提供することである。

【解決手段】この課題は、本発明において、上記のごとき電流ドライバ配置物において、ドライバを、それぞれn型電界効果トランジスタと、これに直列接続した電流電源で構成することによって解決される。具体的には、ワード線 (WL) とビット線 (BL) の交叉位置に複数のメモリセル (Z) を有するメモリセルフィールド、ならびに上記ワード線 (WL) および上記ビット線 (BL) のそれぞれの一端に供給され、上記ワード線 (WL) および上記ビット線 (BL) に割り当てられるドライバ (T1, T2) を備える、MRAMのための電流ドライバ配置物を提供する。



【特許請求の範囲】

【請求項1】 ワード線(WL)とビット線(BL)の交叉位置に複数のメモリセル(Z)を有するメモリセルフィールド、ならびに該ワード線(WL)および該ビット線(BL)のそれぞれの一端に供給され、該ワード線(WL)および該ビット線(BL)に割り当てられるドライバ(T1、T2)を備える、MRAMのための電流ドライバ配置物であって、

該ドライバ(T1、T2)は、それぞれn型電界効果トランジスタ(N0、N6)、およびこれに直列接続した電流電源(J0、J3)を備え、そして該ワード線(WL)および該ビット線(BL)のある端に対向する他端において、該他端と接地との間で、電圧電源(E1、E0)を有する別のn型電界効果トランジスタ(N5、N7)との直列接続が存在すること、を特徴とする、電流ドライバ配置物。

【請求項2】 電圧電源(E1、E0)が、抵抗、トランジスタダイオード(Transistor diode)、または複合回路で構成されていることを特徴とする、請求項1に記載の電流ドライバ配置物。

【請求項3】 ドライバ(T1、T2)のn型電界効果トランジスタ(N0、N6)が、昇圧した電圧で制御され得ることを特徴とする、請求項1または2に記載の電流ドライバ配置物。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ワード線とビット線との交叉位置に多数のメモリセルを有するメモリセルフィールド(Field)、ならびにワード線およびビット線のそれぞれの一端に接続され、そしてワード線およびビット線に割り当てられたドライバからなる、MRAM(磁気抵抗メモリ)のための電流ドライバ配置物(Arrangement)に関する。

【0002】

【従来の技術】 MRAMに関しては、公知のごとく、個々のメモリセルを磁気的に変化させ得る電気抵抗の記憶効果が利用されている。このようなメモリセルは、図2に示すごとく、上部導体LT0として示す1つのワード線WLと、図では下部導体LTUにより形成される1つのビット線BLの交叉接合でつくられ、その際、2つの導体LT0とLTUとの交叉位置には、2つの導線LT0とLTUとの間に、ある多層膜システムが存在する。この多層膜システムは、強磁性材料層HMLと弱磁性材料層WMLからなり、その間にはトンネル酸化膜TLが存在する。すなわち、下部導体LTUの上に強磁性材料層HML、トンネル酸化膜TL、弱磁性材料層WMLの順で層が形成され、ここでその弱磁性材料層WMLは、その上側が上部導体LT0で覆われている。

【0003】 弱磁性材料層WMLと強磁性材料層HMLの配置物はまた、必要に応じて、強磁性材料層HMLが

「上」に置かれ、他方、弱磁性材料層がWML下部導体LTUの上になるように変えることも可能である。同様に、ビット線BLを上部導体LT0に、ワード線WLを下部導体LTUに接続させることも可能である。

【0004】 トンネル酸化膜TLを強磁性材料層HMLと弱磁性材料層WMLとの間に配置し、ここで、これらWMLならびにHMLの両層を、それぞれ上部導体LT0ならびに下部導体LTUに割り当てる(接続する)ことが重要である。トンネル酸化膜については、酸化物に代えて他の材料を使用することも可能である。

【0005】 トンネル酸化膜TLの厚さdTL(第3図参照)は、好ましくば0.5から5nmの範囲とすることができる。弱磁性材料層WMLの厚さdWML、および強磁性材料層HMLの厚さdHMLは、およそ1から5nmの範囲である。しかしながら、原理的には、これとは違った厚さも可能である。

【0006】 このようにして、弱磁性材料層WML、トンネル酸化膜TL、および強磁性材料層HMLからなる多層膜システムは、図4にその配置物の概略を示すように、上部導体LT0と下部導体LTUとの間に抵抗Rを有するメモリセルを形成する。

【0007】 今や、多層膜システム、すなわち、導体LT0とLTUとの間、またはワード線WLとビット線BLとの間のメモリセルの抵抗値は、両磁性材料層WMLおよびHMLの磁化の方向が互いに平行または反平行の配向に走るか否かに依存する。両磁性材料層WMLおよびHMLの磁化の方向が互いに平行に配向されている場合は、抵抗Rの抵抗値は低く、他方、これらの材料層

(両磁性材料層WMLおよびHML)の磁化の方向が反平行の場合は、抵抗Rの抵抗値は高くなる。今や、強磁性材料層HMLを一定の磁化を有することから、弱磁性材料層へのスイッチング(Schaltung)によってこれに対応する磁界が生じ、メモリへの書き込みが行われる。この磁界は、上部導体LT0の電流I0および下部導体LTUの電流Iuによってつくられる、2つの磁界の重ね合わせで発生する。すなわち、導体LT0およびLTUの対応する電流I0およびIuを一定の方向に流すことによって、強磁性材料層HMLの磁化の方向と平行または反平行に配向されるように、弱磁性材料層WMLの磁化の方向を切換えることができる。例えば第3図においては、両磁性材料層WMLとHMLの磁化の方向は、対応する矢印により示すように反平行であり、その結果、ここでは、抵抗Rの抵抗値は大きい。

【0008】 弱磁性材料層WMLの磁化の方向を、強磁性材料層HMLの磁化の方向に対して反平行と平行との間での配向のスイッチング、およびその逆の場合において、層WMLの弱磁性材料材料がヒステリシス特性を持つことに注意しなければならない。スイッチングを解除するためには、上部導体LT0および下部導体LTUにおける電流I0およびIuによって生じる磁界の重ね合

わせが必要である。1回のスイッチング事象のために、電流 I_o ならびに電流 I_u をはじめの電流方向から一回反転させなければならない。

【0009】従来のDRAMの場合には、ワード線がゲート電極によって形成された容量によって作動するように、このワード線はそれぞれ、スイッチングトランジスタのゲート電極に接続されている。このことは、各ワード線のための容量を高速度で蓄電するための電圧を、それぞれ、ドライバが準備しておかなければならぬことを意味する。ここで、DRAMのドライバは、n型およびp型の電界効果トランジスタからなり、低電圧と高電圧とを損失なく切換えることができる。しかしながら、p型電界効果トランジスタをn型電界効果トランジスタと同じドライバ能力に保持するためには、p型電界効果トランジスタの電荷担体の機動性がより小さいため、n型電界効果トランジスタと比較して、そのチャネル幅を約2.5倍にしなければならない。

【0010】p型電界効果トランジスタ P1およびn型電界効果トランジスタ N0を有する、DRAMあるいはFeRAMのワード線の従来のドライバは、第5図に示すように、ドライバ電圧DRVとアースとの間が直列接続され、そして、選択電極ROUTnに取り付けられたゲート電極とも接続される。2つのトランジスタ P1とN0との交叉接合点にワード線WLが配置されている。p型電界効果トランジスタ P1のチャネル幅w_pは、n型電界効果トランジスタ N0のチャネル幅w_nの2.5倍である。

【0011】MRAMの場合は、DRAMに対する書き込みのために2.5~3mAというより高い電流が必要とされるが、トンネル酸化膜を通過させることにより、個々のメモリセルを消去させるための電圧は、可能な限り低くすることができる。例えば、トンネル酸化膜の厚さd_{TL}が2nm以下であれば、トンネル酸化膜にかかる電圧は0.5Vを超えることはなく、そのため10年の耐久寿命が保たれ得る。

【0012】

【発明が解決しようとする課題】本発明の課題は、面積が狭い必要がある場合に、低電圧で大電流を供給可能な、電流ドライバ配置物を提供することである。

【0013】

【課題を解決するための手段】この課題は、本発明において、上記のごとき電流ドライバ配置物において、ドライバを、それぞれn型電界効果トランジスタと、これに直列接続した電流電源で構成することによって解決される。

【0014】

【0015】1つの局面において、本発明は、ワード線(WL)とビット線(BL)の交叉位置に複数のメモリセル(Z)を有するメモリセルフィールド、ならびに上記ワード線(WL)および上記ビット線(BL)のそれ

ぞれの一端に供給され、上記ワード線(WL)および上記ビット線(BL)に割り当てられるドライバ(T1、T2)を備える、MRAMのための電流ドライバ配置物を提供する。

【0016】上記ドライバ(T1、T2)は、それぞれn型電界効果トランジスタ(N0、N6)、およびこれに直列接続した電流電源(J0、J3)を備え、そして上記ワード線(WL)および上記ビット線(BL)のある端に対向する他端において、上記他端と接地との間で、電圧電源(E1、E0)を有する別のn型電界効果トランジスタ(N5、N7)との直列接続が存在すること、を特徴とする。

【0017】1つの実施形態において、電圧電源(E1、E0)は、抵抗、トランジスタダイオード(Transistor diode)、または複合回路で構成され得る。

【0018】別の実施形態において、ドライバ(T1、T2)のn型電界効果トランジスタ(N0、N6)は、昇圧した電圧で制御され得る。

【0019】

【発明の実施の形態】本発明による電流ドライバ配置物により、MRAMの書き込みおよび消去に際して必要な、所望の低電圧で、大きな電流を、n型電界効果トランジスタを介して基準レベルで、MRAMのワード線およびビット線に損失なしに供給することが可能である。このn型電界効果トランジスタは、同じドライバ出力に対しても、p型電界効果トランジスタと比べて非常に小さい面積しか必要としない。これによって面積は約1/2.5に減少し、前述と同じチャネル幅まで狭くなる。ドライバ出力を高めて、n型電界効果トランジスタの制御のためにもっと高い、すなわちブースト(昇圧)された電圧が使用される場合には、さらに面積を小さくすることが可能である。

【0020】本発明の1つの実施形態では、ワード線およびビット線の一端に対向する他端には、この他端と接地(アース)との間に、電圧電源を有する別のn型電界効果トランジスタとの直列接続が存在することが意図される。その電圧電源は抵抗、トランジスタダイオード(Transistor diode)、または複合回路からなり得る。

【0021】

【実施例】以下に、図を用いて本発明について説明する。

【0022】図2~図5は、すでに説明した通りである。

【0023】図面において、互い対応する構成要素にはそれぞれ同一の記号を用いている。

【0024】図1に、ビット線BLのためのドライバT1、およびワード線WLのためのドライバT2からなる電流ドライバ配置物を示す。ドライバT1は電流電源J

3およびチャネル幅 w_n のn型電界効果トランジスタN6からなり、そしてドライバT2は同様に、電流電源J0およびチャネル幅 w_n のn型電界効果トランジスタN0からなる。電流電源J3および電界効果トランジスタN6は、電圧供給電源V_SupplyBLとビット線BLとの間に直列接続され、同様に、電源J0ならびに電界効果トランジスタN0は、ワード線WLのための電圧供給電源V_SupplyWLとワード線WLとの間に直列接続されている。2つの電界効果トランジスタN6およびN0のゲート電極は、それぞれ信号W1によって制御される。

【0025】ワード線WLとビット線BLとの交叉点には、抵抗R(図4参照)を形成するメモリセルZが配置されている。

【0026】ビット線BLの、ドライバT1と反対の端は、n型電界効果トランジスタN7および基準電圧電源V_RefBL(E0)と直列に接続されている。この電源E0の一極は接地に接続されている。電界効果トランジスタN7は、そのゲートが信号W1によって制御され、そして電界効果トランジスタN0およびN6と同様に、そのチャネル幅は w_n である。

【0027】さらに、ワード線WLのドライバT2と反対の端は、n型電界効果トランジスタN5および基準電圧電源V_RefWL(E1)と直列に接続されている。この電源E1の一極は接地に接続されている。電界効果トランジスタN5は、そのゲートが信号W1によって制御され、そのチャネル幅は w_n である。

【0028】導線における電流方向を切り換えることが可能とするために、通常、ワード線WLまたはビット線BLの両端には電流ドライバが設置されている。そのために、回路技術的には、例えば、単純に電流電源J0が電圧電源(例えばE1)において補償され、そして電圧電源E1が電流電源(例えばJ0)で補償される。同じ回路技術が、ビット線BLについても用いられ得る。

【0029】書き込みの際には、ワード線WLおよびビット線BLの書き込み端子が信号W1によって開かれる。次いで、電流電源J0からワード線WLを流れる電流は、電界効果トランジスタN0およびN5ならびに基準電圧電源E1を通り、接地に至る。同様に、電流電源J3からビット線BL中を流れる電流は、電界効果トランジスタN6およびN7ならびに基準電圧電源E0を通り、接地に流れることができる。メモリセルZ内では、これらの電流によって磁界が発生し、弱磁性材料層WM-Lの磁化の方向が反転する。

【0030】ビット線BLの端およびワード線WLの端に接続された、電圧電源E0およびE1は、調節可能な基準電圧を発生するのに用いられる。これらの電圧電源は、抵抗、トランジスタダイオードあるいは複合回路で実現され、そしてビット線BLおよびワード線WLを一定の電位に保持し、それによりメモリセルZの消去(D

urc h bruch)を防ぐ。

【0031】電界効果トランジスタN0ならびにN6の制御のために、さらに高い電圧を使用して、同じドライバ出力に対して面積を減少させることも可能である。

【0032】

【発明の効果】(要約)本発明は、ワード線およびビット線のドライバ(T1, T2)が、n型電界効果トランジスタ(N0, N6)と電流電源(J0, J3)との直列接続からなる、MRAMのための電流ドライバ配置物に関する。

【0033】これにより、面積が狭い必要がある場合に、低電圧で大電流が供給可能である。

【図面の簡単な説明】

【図1】図1は、本発明の実施例に従う、MRAMのための電流ドライバ配置物の概略図である。

【図2】図2は、MRAMのメモリセルの斜視図である。

【図3】図3は、図3に示すMRAMのメモリセルの側面図である。

【図4】図4は、図2および図3に示すメモリセルの等価回路の概略図である。

【図5】図5は、DRAMのための従来のドライバである。

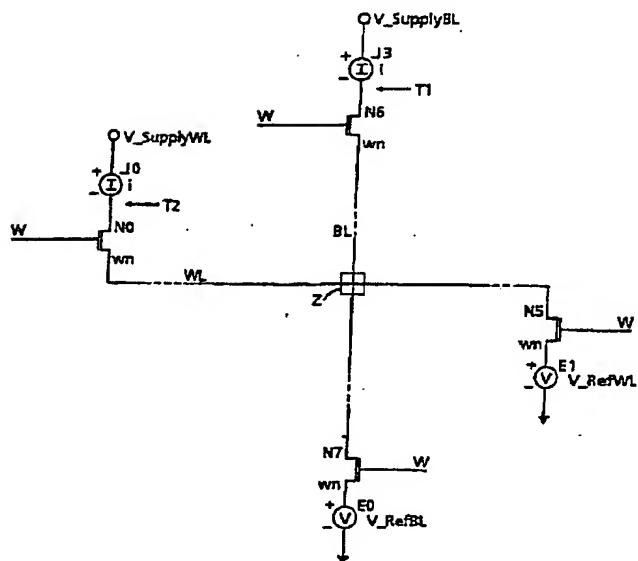
【符号の説明】

Z	メモリセル
J0, J3	電流電源
N0, N5, N6, N7	n型電界効果トランジスタ
w_n	n型電界効果トランジスタのチャネル幅
P1	p型電界効果トランジスタ
W	信号
BL	ビット線
WL	ワード線
E0, E1	基準電圧電源
V_RefWL	ワード線のための基準電圧電源
V_RefBL	ビット線のための基準電圧電源
V_SupplyBL	ビット線のための電圧供給電源
V_SupplyWL	ワード線のための電圧供給電源
DRV	制御信号
wp	p型電界効果トランジスタ
P1のチャネル幅	
RDOUT_n	読み込み出力
LTO	上部導体
LTU	上部導体
WML	弱磁性(材料)層
HML	強磁性(材料)層

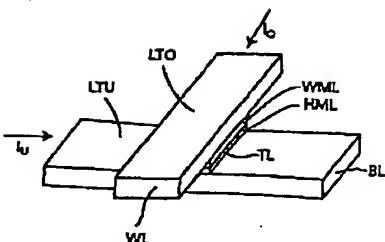
T L	トンネル酸化膜
R	抵抗
d WML	弱磁性（材料）層の厚さ
d TI	トンネル酸化膜の厚さ

d_{HML}	強磁性材料層の厚さ
I_o	上部導体の電流
I_u	下部導体の電流

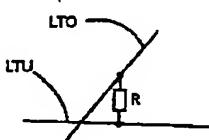
【图 1】



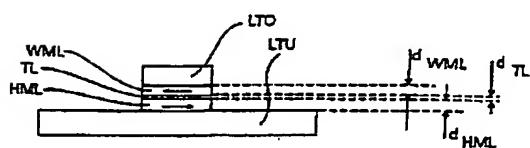
[図2]



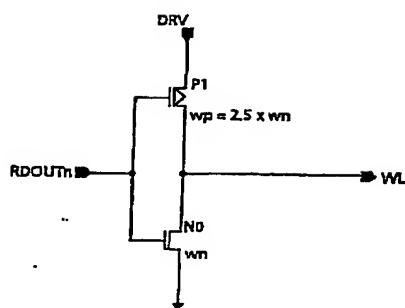
[图 4]



〔四三〕



(图 5)



フロントページの続き

(72) 発明者 ディトマー ゴーグル
アメリカ合衆国 ニューヨーク, 12524
フィッシュキル, アパートメント 16
ディー. グリーンヒル ドライブ 4

(72) 発明者 ゲルハルト ミュラー
　　ドイツ国 86405 マイティンゲン, ト
　　ロッパウアー シュトラーセ 13
(72) 発明者 トマス レール
　　ドイツ国 85609 アッシュハイム, ガ
　　ルツブルク

F ターム(参考) 5F083 FZ10 GA09 GA30 LA04 LA05
LA10

This Page Blank (uspto)